САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab2

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил: Непомнящий Матвей Тимофеевич

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

группа: 5130901/10101

преподаватель: Федотов Александр Александрович

Санкт-Петербург

2023

Оглавление

[1 Задание lab2\_1 4](#_Toc524592444)

[1.1 Задание 4](#_Toc524592445)

[1.2 Описание на языке Verilog 4](#_Toc524592446)

[1.3 Результат синтеза (RTL) 4](#_Toc524592447)

[1.4 Моделирование 4](#_Toc524592448)

[1.5 Назначение выводов СБИС 5](#_Toc524592449)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc524592450)

[1.7 Выводы 5](#_Toc524592451)

[2 Задание lab2\_2 6](#_Toc524592452)

[2.1 Задание 6](#_Toc524592453)

[2.2 Описание на языке Verilog 6](#_Toc524592454)

[2.3 Результат синтеза (RTL) 6](#_Toc524592455)

[2.4 Моделирование 6](#_Toc524592456)

[2.5 Назначение выводов СБИС 7](#_Toc524592457)

[2.6 Тестирование на плате miniDiLaB-CIV 7](#_Toc524592458)

[2.7 Выводы 7](#_Toc524592459)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc468082582)

[Рис. 1‑2 Синтезированная схема 4](#_Toc468082583)

[Рис. 1‑3 Результат моделирования средствами QII 5](#_Toc468082584)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc468082585)

[Рис. 2‑1 Описание на языке Verilog 6](#_Toc468082586)

[Рис. 2‑2 Синтезированная схема 6](#_Toc468082587)

[Рис. 2‑3 Результат моделирования средствами QII 7](#_Toc468082588)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc468082589)

# Задание lab2\_1

## Задание

На языке Verilog, опишисать параметризированное устройство (параметр – разрядность данных) выбора максимума/минимума значений, поступающих с четырех входов.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

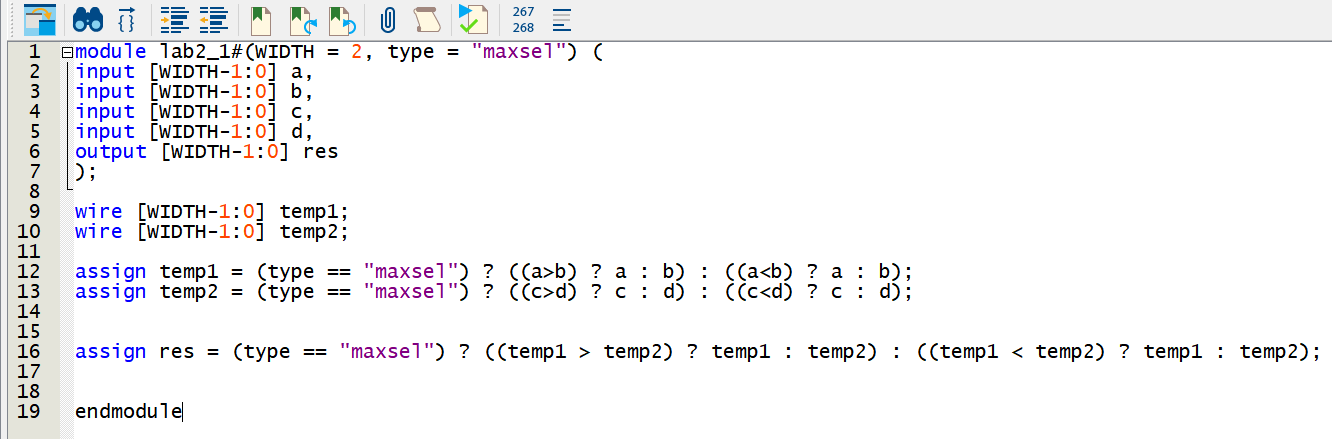
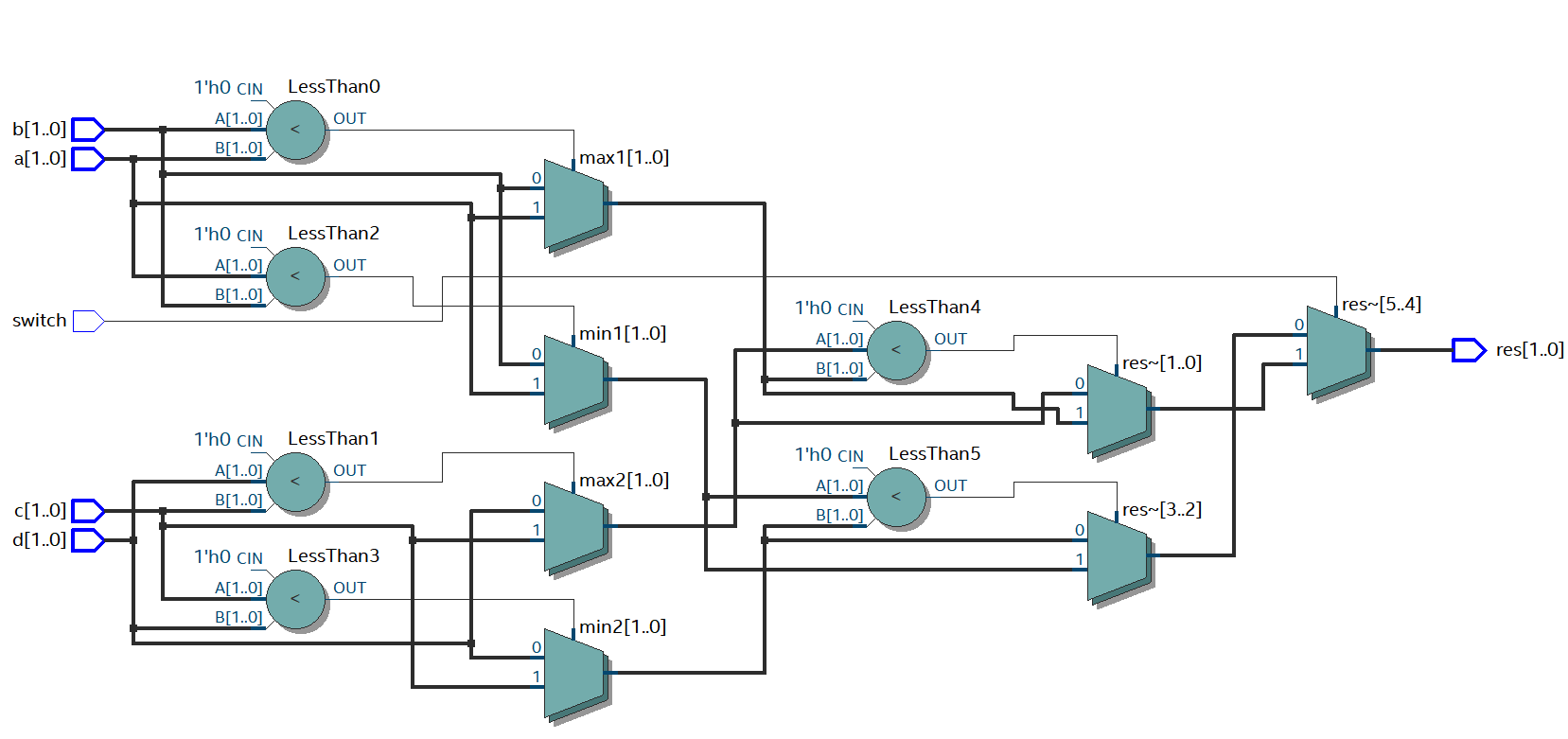


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на входе числа a подается 00
* на входе числа b подается 00
* на входе числа c подается 00
* на входе числа d подается 00
* на выходе res получаем 00

1. проверка 2:

* на входе числа a подается 01
* на входе числа b подается 00
* на входе числа c подается 00
* на входе числа d подается 00
* на выходе res получаем 01

1. проверка 2:

* на входе числа a подается 10
* на входе числа b подается 01
* на входе числа c подается 00
* на входе числа d подается 00
* на выходе res получаем 10

1. проверка 2:

* на входе числа a подается 11
* на входе числа b подается 01
* на входе числа c подается 00
* на входе числа d подается 00
* на выходе res получаем 11

1. проверка 5:
2. на входе числа a подается 00
3. на входе числа b подается 10
4. на входе числа c подается 01
5. на входе числа d подается 00
6. на выходе res получаем 10

Результаты моделирования приведены на Рис. 1‑3

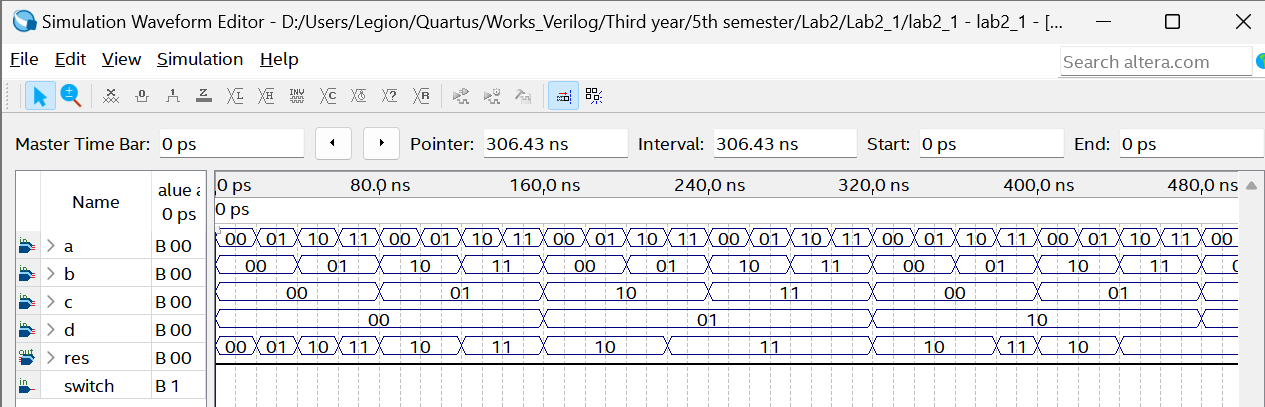


Рис. 1‑3 Результат моделирования средствами QII

Моделирование показало, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

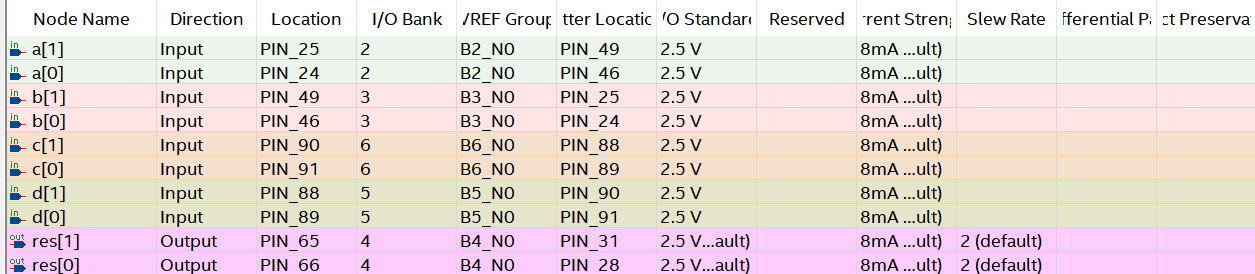


Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Результатом работы является гибкое и масштабируемое устройство, которое может быть использовано для выбора максимального или минимального значения из любого количества входов. Параметризация позволяет легко настраивать его функциональность в соответствии с требованиями проекта. Такая реализация может быть полезна во многих цифровых системах, где требуется выбор максимального или минимального значения из нескольких входов. Примерами могут быть сортировка данных, поиск экстремумов, анализ сигналов и другие приложения. Использование Verilog позволяет создавать параметризированные модули, которые могут быть легко настроены для работы с различными числами входных значений. Это обеспечивает гибкость и переиспользование кода при разработке систем с разными требованиями.

# Задание lab2\_2

## Задание

На языке Verilog, описать параметризированное устройство, содержащее два экземпляра модуля, созданного в lab2\_1. Разрядность входных чисел согласно варианту задания составляет 12%5+3 = 5 (this\_WIDTH = 5).

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

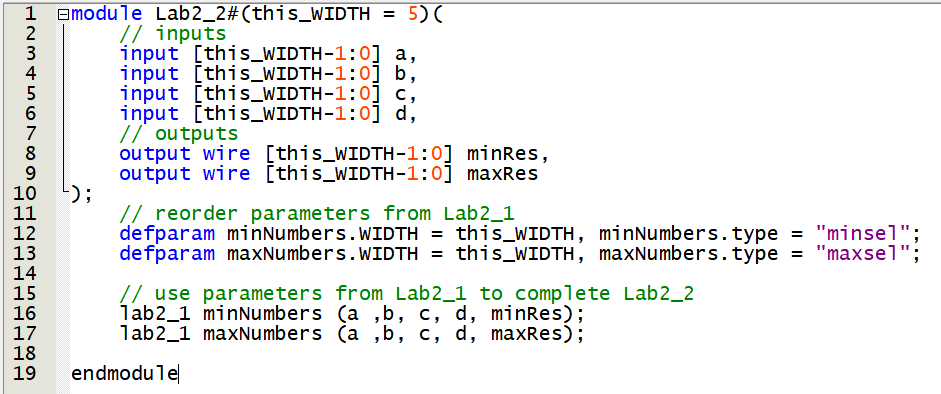


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

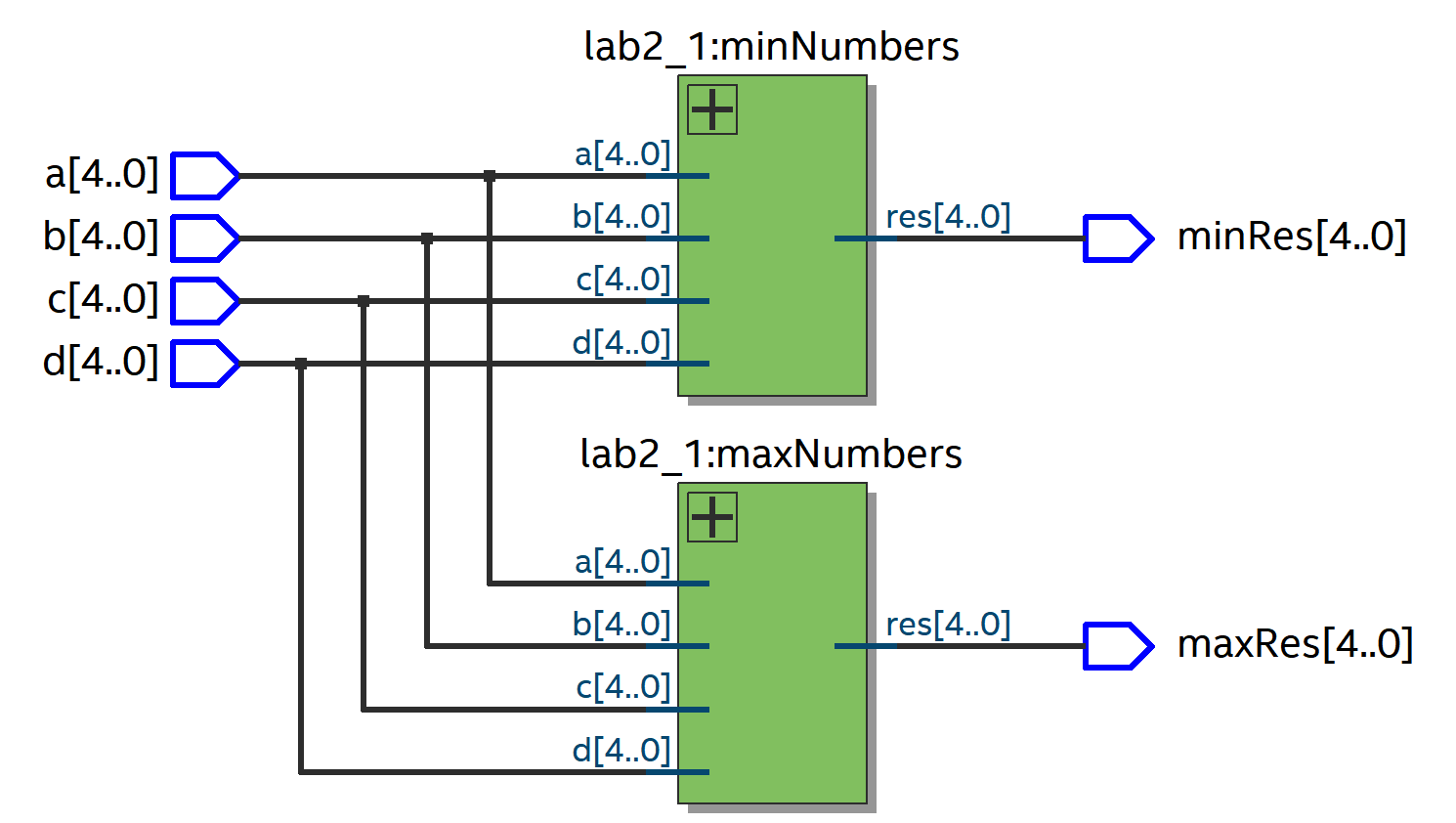


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на входе числа a подается 00000
* на входе числа b подается 00000
* на входе числа c подается 00000
* на входе числа d подается 00000
* на выходе maxRes получаем 00000
* на выходе minRes получаем 00000

1. проверка 2:

* на входе числа a подается 00001
* на входе числа b подается 00000
* на входе числа c подается 00000
* на входе числа d подается 00000
* на выходе maxRes получаем 00001
* на выходе minRes получаем 0000000

1. проверка 2:

* на входе числа a подается 00010
* на входе числа b подается 00001
* на входе числа c подается 00000
* на входе числа d подается 00000
* на выходе maxRes получаем 00010
* на выходе minRes получаем 00000

1. проверка 2:

* на входе числа a подается 00001
* на входе числа b подается 10000
* на входе числа c подается 01000
* на входе числа d подается 00100
* на выходе maxRes получаем 10000
* на выходе minRes получаем 00001

1. проверка 5:

* на входе числа a подается 00010
* на входе числа b подается 10001
* на входе числа c подается 01000
* на входе числа d подается 00100
* на выходе maxRes получаем 10001
* на выходе minRes получаем 00010

Результаты моделирования приведены на Рис. 2‑3

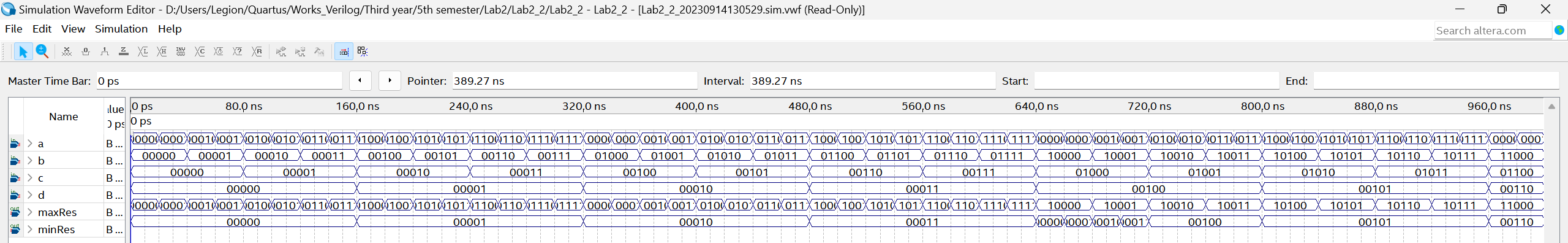


Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

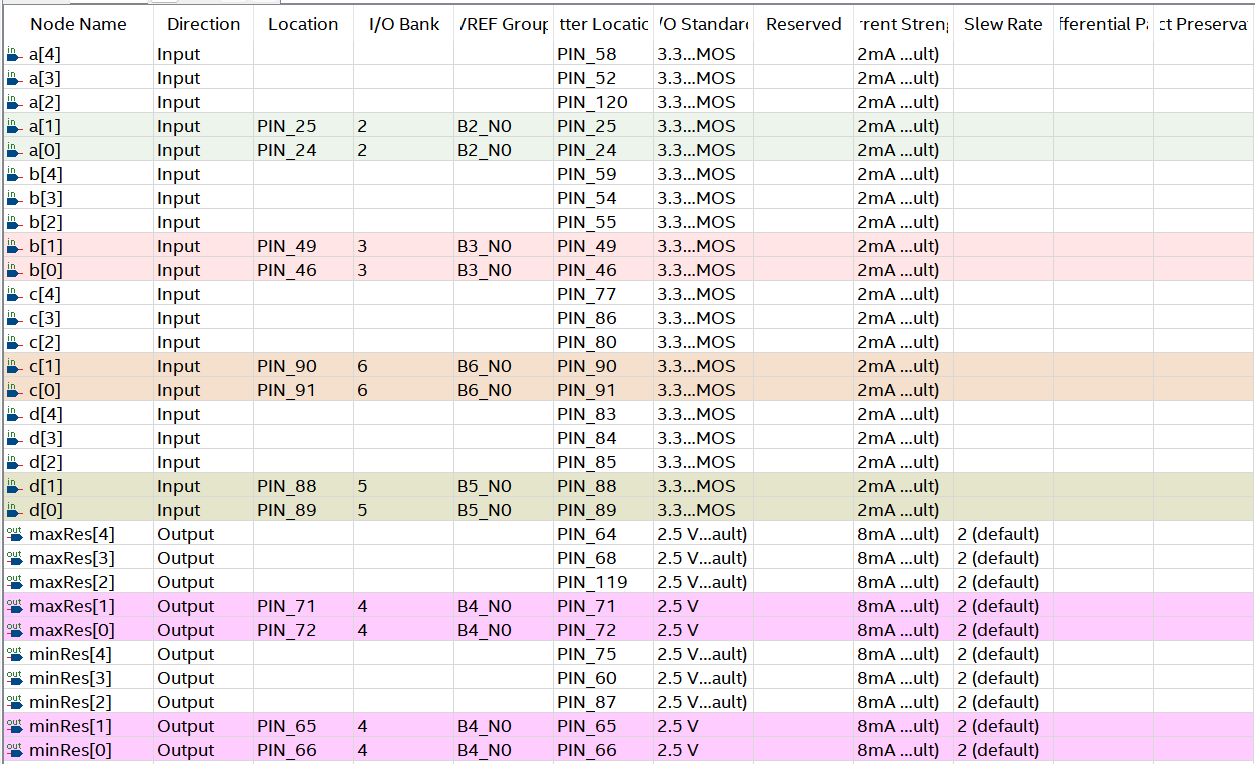


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В данном задании было предложено описать параметризированное устройство на языке Verilog, которое содержит два экземпляра модуля, созданного в lab2\_1. Результатом работы является гибкое и масштабируемое устройство, которое может быть использовано для создания двух экземпляров модуля с различными параметрами. Такая реализация может быть полезна во многих цифровых системах, где требуется использование нескольких экземпляров одного модуля с разными параметрами. Использование языка Verilog для нахождения максимума или минимума значений является удобным способом решения благодаря его простоте, гибкости, возможностям проверки и отладки, интеграции с другими инструментами и широкому применению в индустрии.